

Semiconductor device with ideal grid contour and manufacture thereof**Patent number:** CN1345089**Publication date:** 2002-04-17**Inventor:** MIN KIM (KR); SEUNG-TAI KIM (KR)**Applicant:** SAMSUNG ELECTRONICS CO LTD (KR)**Classification:****- international:** *H01L21/28; H01L21/76; H01L21/8239; H01L21/02; H01L21/70; (IPC1-7): H01L21/76; H01L21/28; H01L21/8239***- european:****Application number:** CN20000135511 20000920**Priority number(s):** CN20000135511 20000920**Also published as:**

CN1193420C (C)

[Report a data error here](#)**Abstract of CN1345089**

The invention relates to a method for manufacturing non-volatile memory device or other semiconductor device, including forming a silicon layer on a buffering oxide layer of semiconductor substrate. Barrier layer is formed, after a buffering oxide layer being formed. Using following way forms the control grid electrode of conducting material. Channel is formed on upper part of substrate after composing a picture on silicon layer, oxide layer of grid electrode and substrate. The beaked part is produced on the upper and lower parts of the control grid electrode material via oxide channel sidewall. Its uniformity is realized by preventing positive slope of sidewall of float grid electrode for example. Then a field oxide layer is formed to fill in the channel.

Data supplied from the esp@cenet database - Worldwide

SEMICONDUCTOR DEVICE WITH IDEAL GRID CONTOUR AND METHOD FOR MANUFACTURING THE SAME

Abstract:

The invention relates to a method for manufacturing non-volatile memory device or other semiconductor device, including forming a silicon layer on a buffering oxide layer of semiconductor substrate. Barrier layer is formed, after a buffering oxide layer being formed. Using following way forms the control grid electrode of conducting material: channel is formed on upper part of substrate after composing a picture on silicon layer, oxide layer of grid electrode and substrate. The beaked part is produced on the upper and lower parts of the control grid electrode material via oxide channel sidewall, uniformity can be realized, then a field oxide layer is formed to fill in the channel. In the process of oxidizing the channel sidewall, uniformity is realized by preventing positive slope of sidewall of float grid electrode for example.

[19] 中华人民共和国国家知识产权局

[51] Int. Cl⁷

H01L 21/76

H01L 21/28 H01L 21/8239

[12] 发明专利申请公开说明书

[21] 申请号 00135511.2

[43] 公开日 2002 年 4 月 17 日

[11] 公开号 CN 1345089A

[22] 申请日 2000.9.20 [21] 申请号 00135511.2

[71] 申请人 三星电子株式会社

地址 韩国京畿道

[72] 发明人 金 民 金晟泰

[74] 专利代理机构 北京市柳沈律师事务所

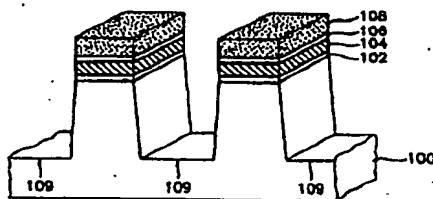
代理人 陶凤波

权利要求书 5 页 说明书 12 页 附图页数 10 页

[54] 发明名称 具有理想栅极轮廓的半导体器件及其制造方法

[57] 摘要

制造非易失性存储器件或其他半导体器件的方法包括在半导体衬底上的一个缓冲氧化层上形成一个硅层。形成缓冲氧化层之后,形成阻碍层。导电材料的控制栅极这样形成:对硅层、栅极氧化层和衬底构图,在衬底的上部形成沟槽。通过氧化沟槽的侧壁而在控制栅极材料的上部和下部产生鸟嘴形部分,可以实现均匀性。之后,形成一个填充沟槽的场氧化层。由于在沟槽侧壁的氧化过程中,鸟嘴形部分均匀形成在控制栅极材料的上部和下部,因此通过防止例如浮动栅极的侧壁具有正斜率,实现了均匀性。



ISSN 1008-4274

形无论是处在、平铺在或覆盖在另一层、图形或结构上，都意味着可以包括也可以不包括中置（interceding）层、图形或结构。

图 2A 到图 2I 是透视图，它们示出了依据本发明的第一方面制造非易失性存储器件的方法。

- 5 参照图 2A，在一个半导体衬底 100 上生长一个氧化硅层或氮氧化硅层，衬底包括由硅之类的材料构成的半导体衬底，以形成三极管存储单元的一个栅极氧化层（如隧道氧化层）101。当其表面暴露并与气氛中的氧气反应时，在半导体衬底 100 上形成了一个自然（native）氧化层。相应地，此自然氧化层也可以通过图中没有显示的已知方法形成在半导体衬底 100 上。
- 10 在图示的实施例中，不包括自然氧化层在内，栅极氧化层 101 在氧气氛围中生长成厚度约为 10 到 500 埃，对低压半导体器件最好为 75 埃，对高压半导体器件最好为 300 埃。

- 15 通过 LPCVD 方法，第一硅层 103 形成在栅极氧化层 101 上，要用作浮动栅极，其厚度约为 200 到 1500 埃，最好为 500 埃。然后，通过典型的掺杂方法，如 POCl_3 扩散、离子注入或原地掺杂等方法，用高浓度的 N 型杂质对层 103 进行掺杂。硅层 103 最好由多晶硅或非晶硅构成。然后，将硅层 103 暴露在氧气氛围中，以形成自然氧化层（图中未示），厚度约为 30 到 35 埃。

- 20 然后在第一硅层 103 上形成一个缓冲层 105，其厚度约为 10 到 500 埃，它与栅极氧化层 101 的厚度（不包括自然氧化层的厚度）大致相同。缓冲层 105 可以是一个氧化层，它可以是通过热氧化或等离子增强化学汽相沉积（PE-CVD）形成的。另外，缓冲层 105 可以通过部分地使硅层 103 的表面部分氧化来形成，这可通过用氧化性气体如氧气（ O_2 ）或一氧化二氮（ N_2O ）进行等离子处理实现。除了氧化物之外的缓冲材料也是本发明所预
- 25 期的，只要它能够防止栅极的不规则形成或者能够实现在沟槽的形成过程中栅极的第一部分或另一部分边缘和/或侧壁的平整或平坦即可。正如上面指出的，在沟槽氧化之前没有使用缓冲材料时，浮动栅极会变形或是具有不希望的正斜率。

- 30 在缓冲氧化层 105 之上形成一个蚀刻阻碍层 107，厚度约为 100 到 3000 埃，最好为 1500 埃，它是通过 LPCVD 方法形成的。阻碍层 107 在随后的 CMP 工艺或深腐蚀工艺中作为一个终点检测层。阻碍层 107 在随后的沟槽

热氧化工艺中覆盖缓冲氧化层 105，以有助于防止氧气和氧化剂通过缓冲氧化层 105，侵入第一硅层 103。相应地，阻碍层 107 最好由具有抗氧化（oxygen-resistant）性能的材料形成，如氮化物，诸如 SiN，SiON 或 BN。

阻碍层 107 可以由多晶硅形成。在这种情况下，阻碍层 107 在随后的氧化工艺过程中被部分地氧化。不过，阻碍层 107 也可以在深腐蚀或 CMP 工艺中作为终点检测层。

可以选择通过 CVD 方法在阻碍层 107 之上形成一个抗反射层，以便精确地调准随后的光刻工艺。这种抗反射层可以由多晶硅、氧化硅诸如高温氧化物和中温氧化物或氮氧化硅（SiON）形成。抗反射层可以由单层或多层构成。

在本发明中，用一个高温氧化物（以下称作“HTO”）层 140 和一个 SiON 层 150 构成的双层作为抗反射层。HTO 层 140 和 SiON 层 150 可以简单地用公知的 CVD 方法形成，它们作为抗反射层用来防止在光刻工艺中光从下面的衬底反射。HTO 层 140 形成厚度约为 200 到 2000 埃，最好为 500 埃，而 SiON 层 150 形成厚度约为 200 到 3000 埃，最好为 800 埃。

参照图 2B，通过旋转涂敷方法在 SiON 层 150 上涂覆光致抗蚀剂，以形成光致抗蚀剂膜（图中未示出）。之后，通过使用光掩模对光致抗蚀剂膜进行曝光和显影形成光致抗蚀剂图形 160，它限定了浮动栅极的布局。

光致抗蚀剂图形 160 可以用作蚀刻掩模，以相继蚀刻 SiON 层 150、HTO 层 140、阻碍层 107 和缓冲氧化层 105。这样，如图所示，由 SiON 层图形 151、HTO 层图形 141、阻碍层图形 108 和缓冲氧化层图形 106 构成的图形就形成了。然后，通过灰化或剥离工艺将光致抗蚀剂图形 160 去除。

参照图 2C，将所形成的结构移动到另一个蚀刻室，以便对多晶硅和氧化物进行蚀刻工艺。这里，引入一种用于蚀刻多晶硅的蚀刻气体，用来蚀刻第一硅层 103，从而形成第一硅层图形 104。此时形成的第一硅层图形 104 可以用作非易失性存储器件的第一浮动栅极。

接下来，在同一个蚀刻室内，蚀刻栅极氧化层 101，以形成栅极氧化层图形 102，并且将衬底 100 蚀刻达到约为 1000 到 5000 埃最好为 2700 埃的深度，以形成沟槽 109。结果，由硅层图形 104 限定的浮动栅极相互之间由沟槽 109 隔离。

在硅层图形 104 和半导体衬底 100 上部的蚀刻过程中，去除了形成在

阻碍层图形 108 上的 SiON 层图形 151 和 HTO 层图形 141。

通过形成沟槽 109，可以用单个掩模同时限定有源区和浮动栅极。因此，浮动栅极与有源区是自调准的。

5 参照图 2D，对沟槽 109 的内表面部分在氧化氛围中进行处理，以消除沟槽蚀刻过程中因高能离子碰撞引起的损坏，并防止器件工作过程中的漏电流。然后，沿沟槽 109 内表面即在其底面和侧壁上形成沟槽氧化层 110，厚度约为 10 到 500 埃，最好为 30 到 40 埃。沟槽氧化层 110 可以用干式氧化工艺形成，形成条件为在氮气 N_2 和氧气 O_2 的氛围中，800 到 950℃ 温度下；或者用湿式氧化工艺形成，工艺温度至少为 700℃。

10 正如本领域所公知的，形成氧化层的反应如下所示：



从以上反应可以看出，由于氧向具有硅 Si 源的层的扩散实现了硅的氧化，在硅层图形 104 的表面和沟槽 109 的表面生长了一个氧化层。

图 3 是一个放大的截面图，它显示出图 2D 的 B 部分。

15 在形成沟槽氧化层 110 时，如图 3 所示，一种氧化剂（或氧化性气体）在硅层图形 104 的下部侵入栅极氧化层图形 102 的侧面，从而形成了第一鸟嘴形部分“a”。同时，氧化剂在阻碍层图形 108 的下部侵入缓冲氧化层图形 106 的侧面，从而在第一多晶硅层图形 104 的上部形成了第二鸟嘴形部分“b”。

20 依据图 1C 所示的常规方法，鸟嘴形部分只产生在用作浮动栅极的硅图形的下部。当在氧化过程中生长在浮动栅极底部边缘部分的氧化物膨胀时，栅极侧壁的下部呈现正斜率。与之相反的是，在本发明中，第一鸟嘴形部分“a”和第二鸟嘴形部分“b”同时形成在栅极侧壁的下部和上部。这样，在栅极侧壁的底部边缘部分就不会产生向外弯曲。换句话说，第二鸟嘴形部分“b”在第一硅层图形 104 上部的同时形成，防止了正斜率，否则正斜率就会发生。因此，依据本发明的一个重要方面，在硅层图形 104 中形成的浮动栅极具有理想的轮廓。

30 参照图 2E，通过 CVD 工艺淀积一个具有良好填缝性能的氧化层 112，如 USG（无掺杂的硅酸盐玻璃）、 O_3 -TEOS（四乙基原甲硅酸）USG 或 HDP 氧化层，其厚度约为 5000 埃，以便填充沟槽 109。高浓度等离子体（HDP）氧化层 112 最好用 SiH_4 、 O_2 、Ar 或 He 气体作为等离子源来淀积。

通过提高 HDP 氧化层 112 填缝能力来填充沟槽 109, 以防止在沟槽 109 内产生孔穴或空隙。

在 HDP 氧化层 112 形成时, 氧化层的淀积和氧化层的溅射蚀刻同时进行。这样, 当它按照恒定的速度在宽的区域内存积时, 在一个狭窄的区域淀积到预定厚度后, 淀积速度和溅射蚀刻速度变得相等, 这样氧化物就不会继续淀积了。如果增加溅射蚀刻能力来提高 HDP 氧化层 112 的填缝性能, 就会蚀刻含氮化物的阻碍层图形 108 的边缘部分, 以使得场氧化层具有一个负斜率。为了防止这个问题, 可以通过改变淀积条件或在形成阻碍层 108 时使用湿式蚀刻剂, 而实现一种消除场氧化层的负斜率的方法。

10 接下来, 通过用 $\text{Si}(\text{OC}_2\text{H}_5)_4$ 作为离子源的等离子体方法, 在 HDP 氧化层 112 上淀积由 PE-TEOS (等离子体增强的 TEOS) 构成的一个封盖氧化层 (未示出)。

15 可以选择通过退火使 HDP 氧化层 112 致密, 退火是在约 800 到 1050°C 的高温下在惰性气体氛围中进行的, 以降低在随后的清洁工艺中的湿式蚀刻速率。

参照图 2F, HDP 氧化层 112 被平整化。平整化是通过深腐蚀或 CMP 工艺来进行的, 直到阻碍层图形 108 的上表面露出为止。这样, 就可以部分去除掉阻碍层上的 HDP 氧化层 112, 以便在沟槽 109 中产生场氧化物隔离。

20 参照图 2G, 通过使用磷酸的剥离工艺, 包括氮化硅的阻碍层图形 108 被去除。此时, 缓冲氧化层图形 106 可以防止在通过剥离工艺去除氮化硅的过程中对下面的硅层图形 104 造成损坏, 硅层图形 104 是由硅构成的第一浮动栅极。

25 此后, 进行预清洁步骤, 使用含有氟酸的蚀刻剂对衬底进行约 30 秒钟的清洁处理。通过剥离阻碍层 108 和预清洁工艺, 场氧化层 124 被部分地去除, 并且形成在硅层图形 104 之上的缓冲氧化层图形 106 也被去除。此时, 场氧化层 124 的厚度就降低了大约 250 埃以上。

30 参照图 2H, 通过公知的方法, 例如, 通过化学汽相淀积 (CVD) 方法, 在暴露的第一硅层图形 104 上和场氧化层 124 (图 2G) 之上, 淀积第二硅层 (未示出), 如一个多晶硅层或一个非晶硅层, 通过 LPCVD 方法, 厚度约为 2000 埃。在导电的硅层图形 104 的形成过程中, 通常包括掺杂物或其

他电荷载体。因此淀积的第二硅层与第一硅层图形 104 处于电接触，第一硅层图形 104 是第一浮动栅极。随后，通过典型的掺杂方法，如 POCl_3 扩散、离子注入或原地掺杂方法，用高浓度 N-型杂质对第二浮动栅极 126 进行掺杂，由此形成第二导电层。

5 此外，在不进行一个单独的掺杂工艺的情况下，第二导电层可以用这种方式形成：在形成第二硅层的过程中，通过在向源气体中加入杂质的同时进行 CVD 工艺，来淀积掺杂的多晶硅。为了增加在随后的工艺中形成的电解质夹层的面积，形成由第二导电层构成的第二浮动栅极，其形成厚度应尽可能大。

10 此后，通过常规光刻工艺，部分去除场氧化层 124 上的第二导电层，以便形成第二硅层图形 126，它构成了浮动栅极的第二部分。接着，将这样形成的第二浮动栅极与临近的存储单元相互分离。

15 之后，在所形成的结构的整个表面上，形成一个由 ONO 构成的电介质夹层 128，以便完全地隔离作为第二浮动栅极的第二硅图形 126。例如，在第二浮动栅极 126 被氧化而生长厚度约为 100 埃的第一氧化层之后，在其上淀积厚度约为 130 埃的氮化物层，并且在氮化物层上淀积厚度约为 40 埃的第二氧化层，由此形成了总厚度约为 100 到 200 埃的电介质夹层 128。

20 接着，在电介质夹层 128 上形成一个控制栅极层 130，它是第三个导电层，并且是通过堆叠一个 N^+ 型掺杂的多晶硅层和一个金属硅化物层得到的，金属硅化物例如硅化钨 WSi_x 、硅化钛 TiSi_x 、硅化钴 CoSi_x 和硅化钽 TaSi_x 。控制栅极层 130 的多晶硅层最好形成厚度约为 1000 埃，并且其金属硅化物层形成厚度约为 100 到 1500 埃。

25 参照图 2I，在通过光刻工艺对控制栅极层 130 进行构图之后，通过干式蚀刻方法，相继在每个存储单元内对暴露的电介质夹层 128、第二浮动栅极部分 126 和第一浮动栅极部分 104 进行构图，从而形成堆叠浮动栅极存储单元。此时，在特定的区域内进行干式蚀刻，直到露出场氧化层 124 之间的衬底 100 的上表面为止。

30 由于作为第一浮动栅极的第一硅层图形 104 的侧壁不具有正斜率，第一硅层图形 104 的侧壁部分不会变形，没有向外弯曲的部分。因此，在上述干式蚀刻过程中，完全去除了第一硅层图形 104 的由掩模图形曝光的部分。因此，硅残留物不会保留在场氧化层 124 和有源区之间的表面边界上。

00.10.10

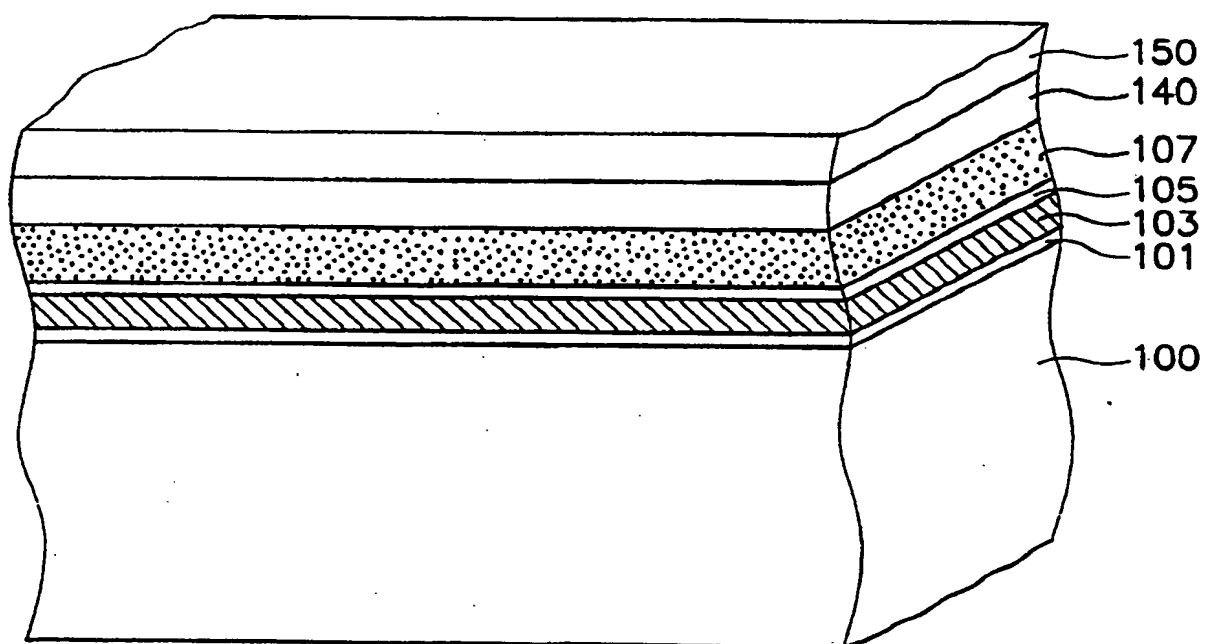


图 2 A

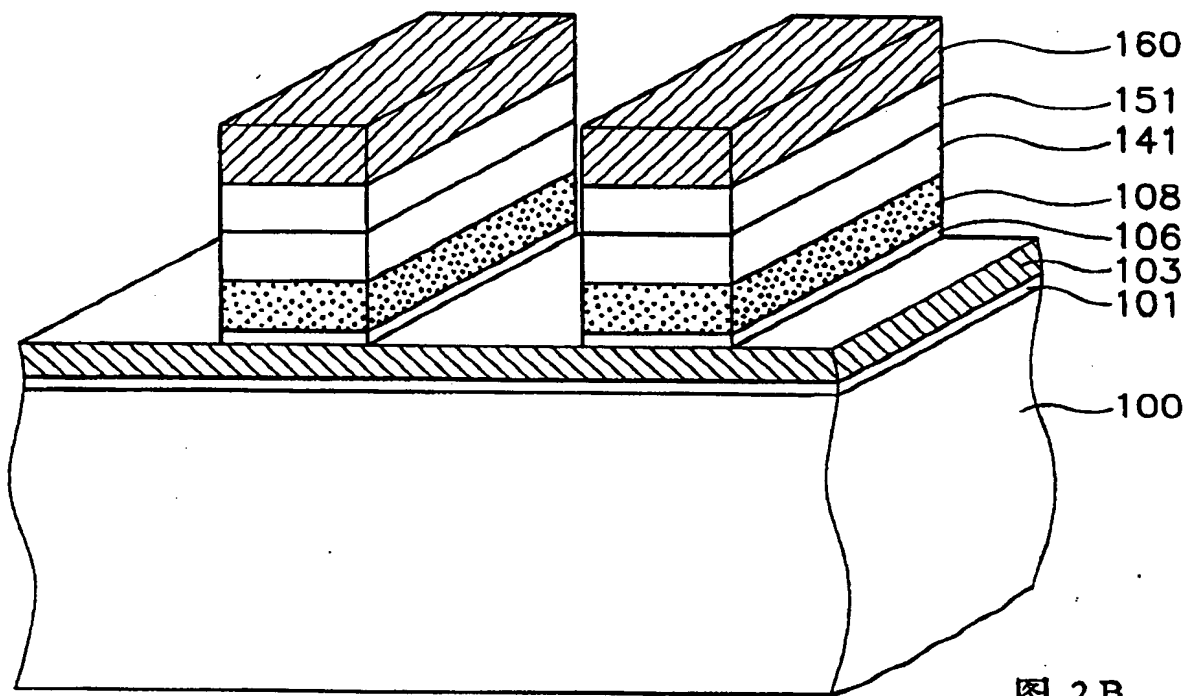


图 2B

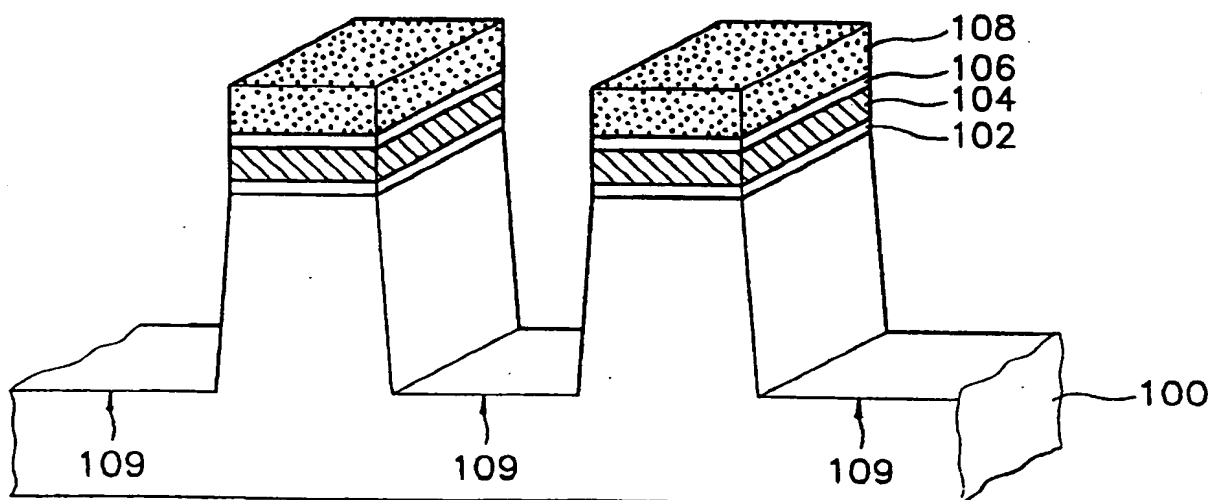


图 2C

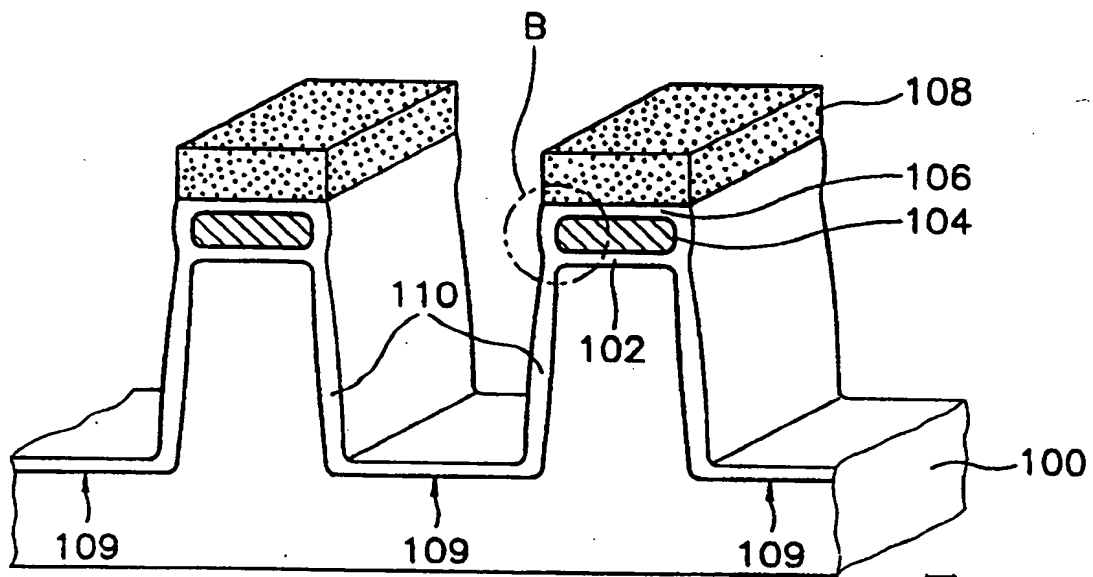
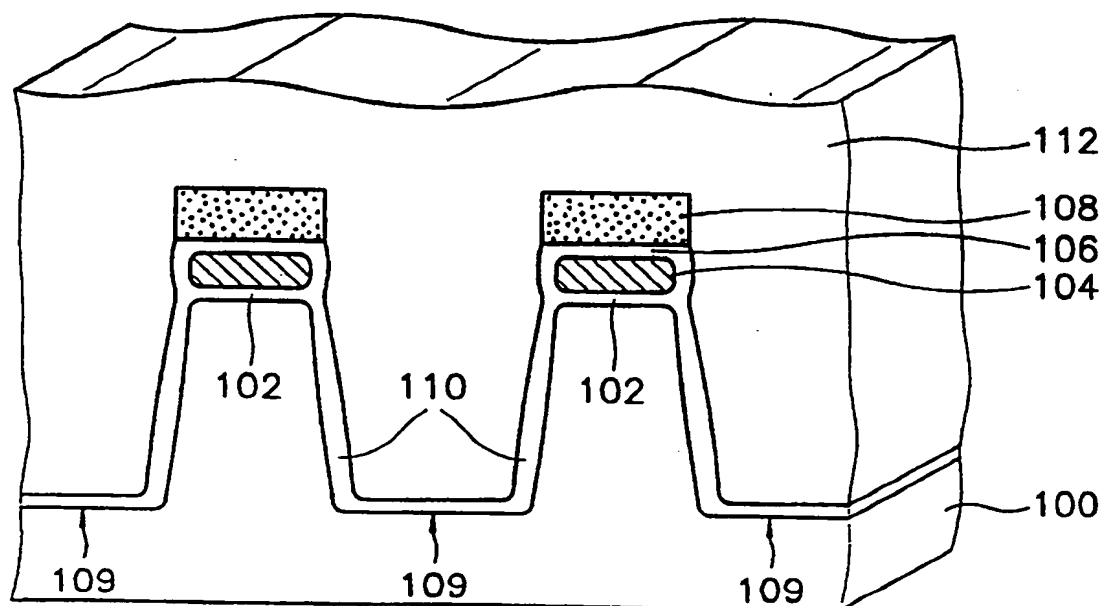


图 2D

图 2E



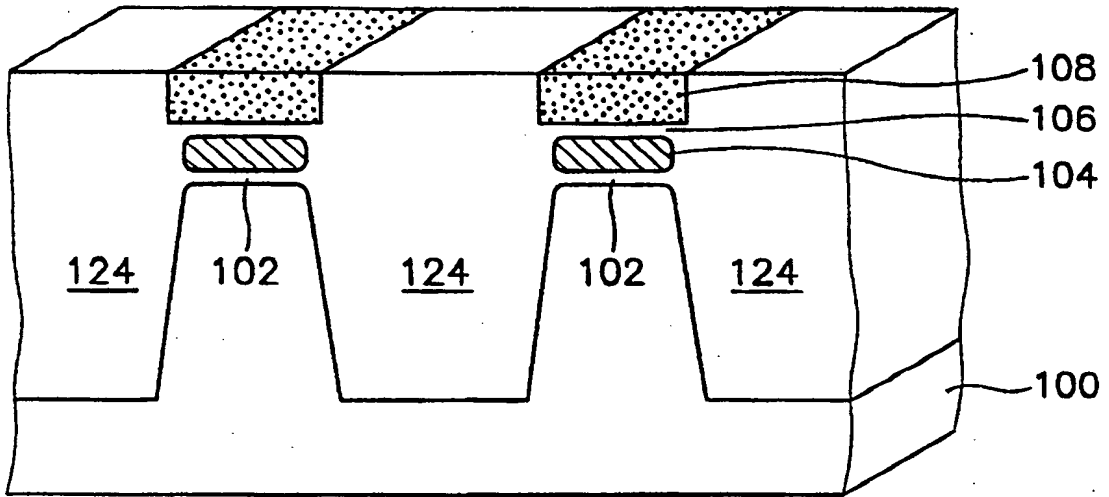
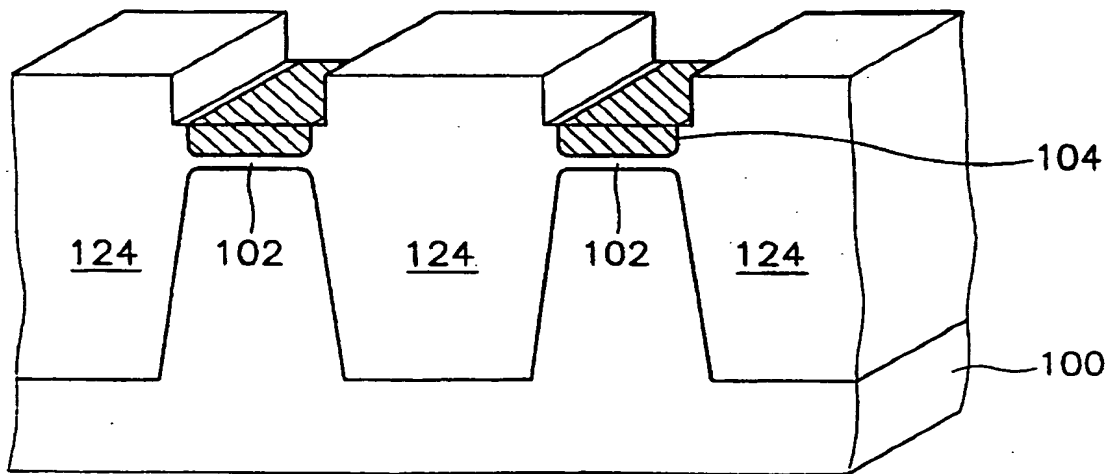


图 2F

图 2G



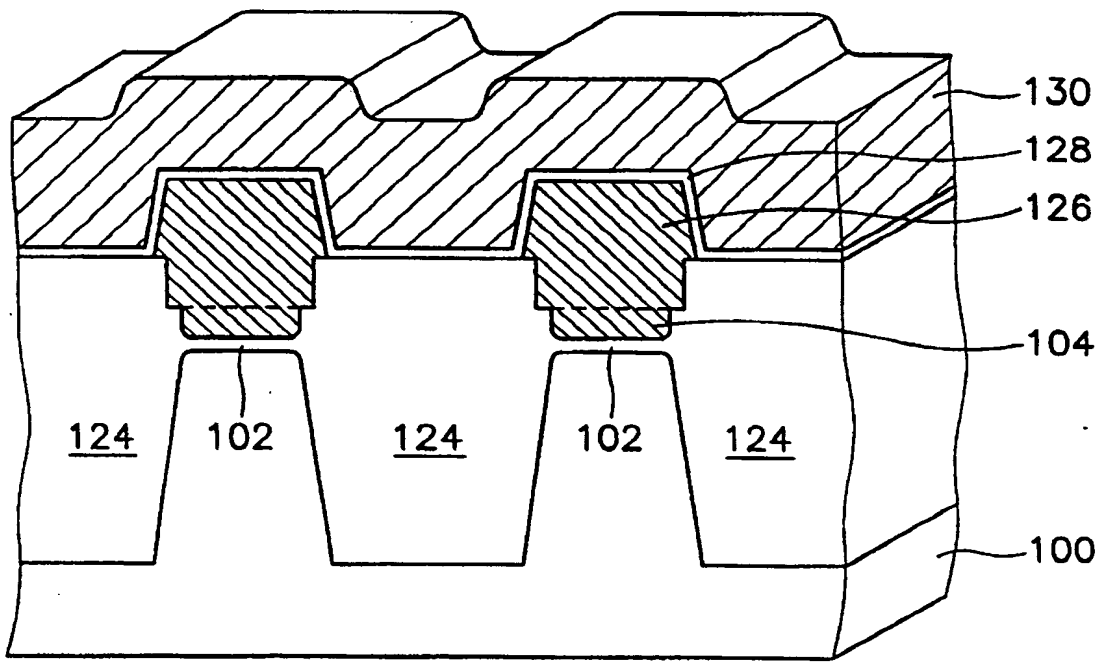


图 2H

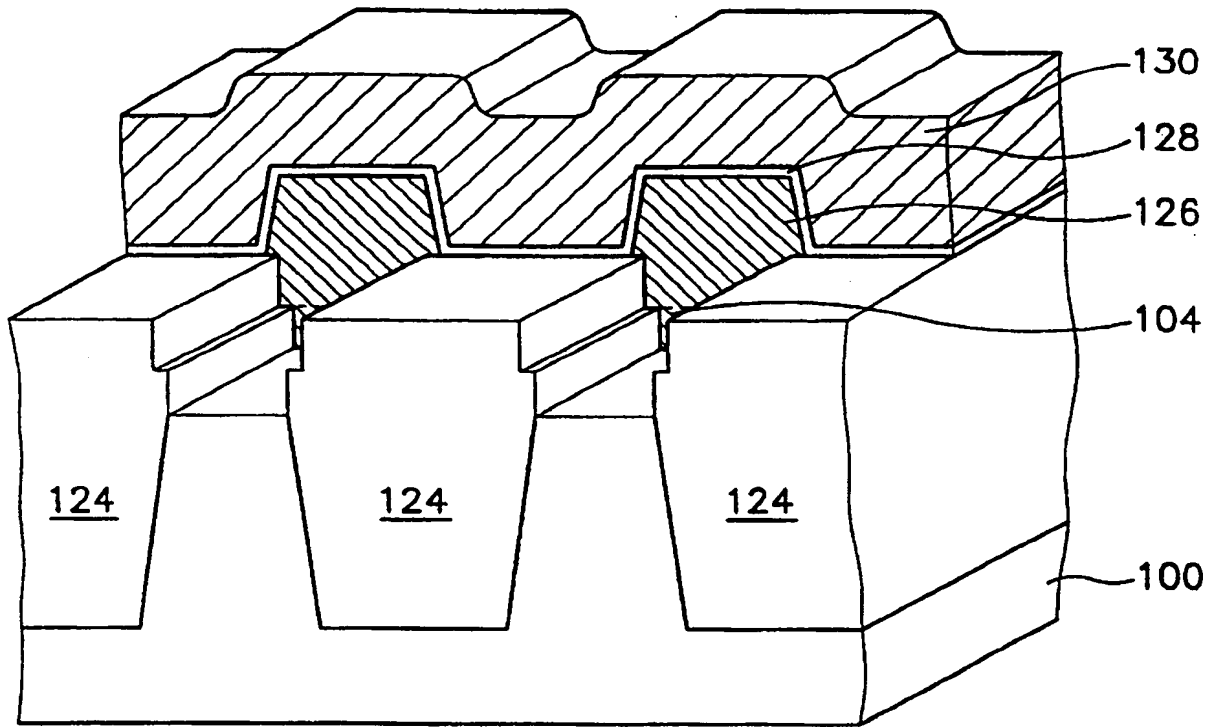


图 2I

图 3

